

This Page Is Inserted by IFW Operations  
and is not a part of the Official Record

## **BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images may include (but are not limited to):

- BLACK BORDERS
- TEXT CUT OFF AT TOP, BOTTOM OR SIDES
- FADED TEXT
- ILLEGIBLE TEXT
- SKEWED/SLANTED IMAGES
- COLORED PHOTOS
- BLACK OR VERY BLACK AND WHITE DARK PHOTOS
- GRAY SCALE DOCUMENTS

IMAGES ARE BEST AVAILABLE COPY.

**As rescanning documents *will not* correct images,  
please do not report the images to the  
Image Problems Mailbox.**

**THIS PAGE BLANK (USPTO)**

# PATENT ABSTRACTS OF JAPAN

(11)Publication number : 07-239781

(43)Date of publication of application : 12.09.1995

(51)Int.CI.

G06F 9/38

(21)Application number : 06-053315

(71)Applicant : HITACHI LTD

(22)Date of filing : 25.02.1994

(72)Inventor : ITOI TOMONAGA

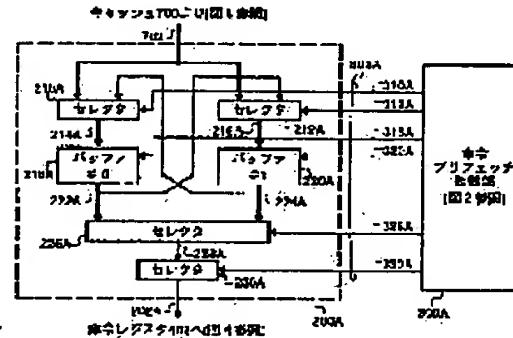
KUROKAWA HIROSHI  
YOSHINAGA TAKESHI

## (54) INFORMATION PROCESSOR

### (57)Abstract:

**PURPOSE:** To speed up the processing of a branch instruction by using a branch destination instruction which is already prefetched.

**CONSTITUTION:** A buffer 218A is supposed to be a currently effective buffer. A nonconditional branch instruction is decoded and when the branch instruction is of a short-distance forward branching and the branch destination address is already prefetched in the buffer 218A, the output pointer 330A of the buffer is set to the branch destination address, and a conditional branch is decoded and when the decoded branch instruction is of the short-distance forward branching and the branch destination address is already prefetched in the buffer 218A, the data from the buffer 218A are selected by a selector 212A and stored in a buffer 220A. The buffer 220A is selected by a selector 226A and the output pointer 330A of the buffer is set to the branch destination address. Consequently, the branch destination instruction can be read out fast without sending an instruction request to a cache in any case.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

**THIS PAGE BLANK (USPTO)**

[Date of extinction of right]

Copyright (C) 1998,2000 Japanese Patent Office

**THIS PAGE BLANK (USPTO)**

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平7-239781

(43)公開日 平成7年(1995)9月12日

(51)Int.Cl.<sup>6</sup>

G 0 6 F 9/38

識別記号

府内整理番号

3 3 0 F

F I

技術表示箇所

審査請求 未請求 請求項の数2 FD (全12頁)

(21)出願番号 特願平6-53315

(22)出願日 平成6年(1994)2月25日

(71)出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目6番地

(72)発明者 糸井 朋永

東京都国分寺市東恋ヶ窪1丁目280番地

株式会社日立製作所中央研究所内

(72)発明者 黒川 洋

東京都国分寺市東恋ヶ窪1丁目280番地

株式会社日立製作所中央研究所内

▲吉▼永 健

東京都国分寺市東恋ヶ窪1丁目280番地

株式会社日立製作所中央研究所内

(74)代理人 弁理士 笹岡 茂 (外1名)

(54)【発明の名称】 情報処理装置

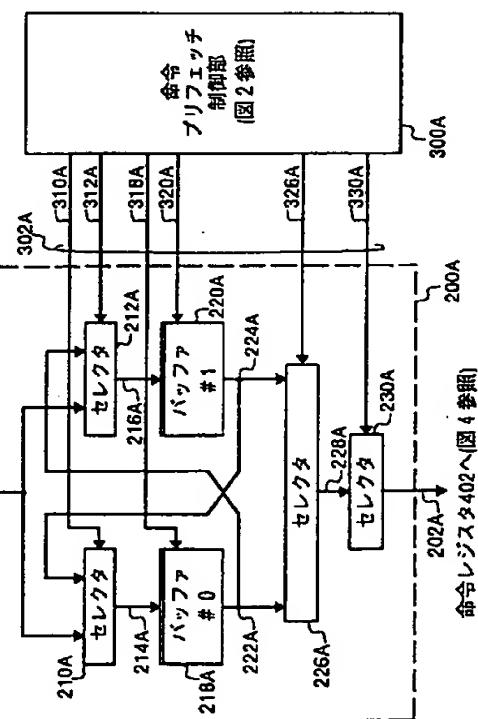
(55)【要約】

【目的】 既にブリッジされている分岐先命令を使用することによって、分岐命令の処理を高速化する。

【構成】 バッファ218Aが現在有効なバッファであるとする。無条件分岐命令を解読し、その分岐命令が短距離前方分岐であって、分岐先アドレスがバッファ218Aに既に先取りされてれば、バッファの出力ポインタ330Aを分岐先アドレスに設定し、また、条件分岐命令を解読し、その分岐命令が短距離前方分岐であって、分岐先アドレスがバッファ218Aに既に先取りされれば、セレクタ212Aでバッファ218Aからのデータを選択し、バッファ220Aへ格納する。セレクタ226Aでバッファ220Aを選択し、バッファの出力ポインタ330Aを分岐先アドレスに設定する。これにより、上記何れの場合も、キャッシュに命令要求を出すことなく、高速に分岐先命令を読み出すことができる。

【図 1】

キャッシュ700より[図4参照]



## 【特許請求の範囲】

【請求項1】 記憶装置から命令を先取りする命令先取り手段と、該命令先取り手段によって取り出された命令を解読する解読手段と、該解読手段によって解読された命令をバイオライン処理により実行する命令実行手段を備え、さらに、前記命令先取り手段は、先取りされた命令を格納する命令格納手段と、前記命令格納手段から取り出すべき命令の位置を指示する指示手段と、該指示手段によって前記命令格納手段から命令を取り出す命令取り出し手段を備える情報処理装置において、

取り出された命令を前記解読手段で解読した結果が分岐命令である場合に前記分岐命令の分岐先命令が既に前記命令格納手段に格納されていることを判定する判定手段を前記命令先取り手段に設け、

該判定手段が前記分岐命令の分岐先命令が既に前記命令格納手段に格納されていることを示すとき、前記指示手段は前記命令格納手段における分岐先命令位置を指示し、該指示に基づき前記命令取り出し手段が分岐先命令を取り出すよう構成したことを特徴とする情報処理装置。

【請求項2】 記憶装置から命令を先取りする命令先取り手段と、該命令先取り手段によって取り出された命令を解読する解読手段と、該解読手段によって解読された命令をバイオライン処理により実行する命令実行手段を備え、さらに、前記命令先取り手段は、先取りされた命令を格納する複数の命令格納手段と、該複数の命令格納手段のいずれが有効であるかを指示する第1の指示手段と、該第1の指示手段により指示された有効な命令格納手段の内容のうち取り出すべき命令の位置を指示する第2の指示手段と、前記第1の指示手段によって前記複数の命令格納手段のうち有効な1つを選択する第1の選択手段と前記第2の指示手段の指示により前記第1の選択手段により選択された命令格納手段の内容から取り出すべき命令を選択する第2の選択手段を有する命令取り出し手段とを備える情報処理装置において、

取り出された命令を前記解読手段で解読した結果が分岐命令である場合に前記分岐命令の分岐先命令が既に前記命令格納手段に格納されていることを判定する判定手段と、前記有効な命令格納手段の内容を他の命令格納手段に複写する複写手段とを前記命令先取り手段に設け、

該判定手段が前記分岐命令の分岐先命令が既に前記有効な命令格納手段に格納されていることを示すとき、前記複写手段によって前記有効な命令格納手段の内容を他の命令格納手段に複写し、前記第1の指示手段は前記他の命令格納手段が有効であることを指示し、前記第2の指示手段は分岐先命令位置を指示するよう構成し、前記命令取り出し手段によって分岐先命令を取り出すことを特徴とする情報処理装置。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】 本発明は、バイオライン処理を行

なう情報処理装置に係り、特に命令ブリッヂ機構を有する情報処理装置に関する。

## 【0002】

【従来の技術】 一般に高速の計算機では、予め主記憶あるいはキャッシュより先取り（ブリッヂ）された命令を、高速にアクセス可能な小容量の命令ブリッヂバッファに格納することによって、命令フェッチ時のメモリアクセスにより生じる実行の遅れを実質的に削減する命令ブリッヂ制御が行われている。

【0003】 図5は、記憶装置から命令を先取りする命令ブリッヂ機構を有する情報処理装置の従来技術の一実例を示す図であり、以下、この図を参照して命令ブリッヂ機構を説明する。図5において、100は命令ブリッヂ機構、200は先取りした命令を格納し、また格納された命令を取り出す命令ブリッヂバッファ、300はキャッシュ700からの命令の取り出し、またバッファに格納されている命令の取り出し等の指示制御を行なう命令ブリッヂ制御部、400は取り出された命令の解読を行なう命令制御部、402は命令レジスタ、406は命令レジスタ402に格納されている命令を解読するデコーダ、412はデコーダ406によって解読された命令が分岐命令の場合に分岐先アドレスを生成する分岐先アドレス生成回路、500はバイオライン処理により命令を実行する算術論理演算回路（以下、ALUという）、600は解読された命令が分岐命令であるとき分岐命令が分岐するか否かを予測する分岐予測機構、700はキャッシュである。

【0004】 図5に示す命令ブリッヂ機構を有する情報処理装置において、命令フェッチ処理は次の4個のステージに分割して処理される。まず、命令解読のステージが実行される。命令レジスタ402に格納された命令は、デコーダ406に転送される。デコーダ406は命令を解読して、命令長414を命令ブリッヂ制御部に転送するとともに、命令解読結果408をALU500に転送する。また、デコーダ406は、解読している命令が分岐命令である場合には、解読結果を分岐先アドレス生成回路412に転送する。さらに、デコーダ406は、解読している命令が無条件分岐命令である場合には、デコード時分岐成立信号416を出し、命令ブリッヂ制御部300に転送し、解読している命令が条件分岐命令である場合には、条件分岐命令であることを示す条件分岐命令信号415を出し、命令ブリッヂ制御部300に転送する。また、デコーダ406は、命令の解読が終了すると、デコード終了信号413を出し、命令ブリッヂ制御部300に転送する。

一方、分岐予測機構600は、命令ブリッヂ制御部から転送される分岐命令の命令アドレス304を利用して分岐成立予測信号602を出し、命令ブリッヂ制御部300に転送する。命令ブリッヂ制御部300は、デコード時分岐成立信号416と条件分岐命令信

号415とのいずれも出力されていない場合、すなわち、分岐命令でない場合、命令ブリフェッチバッファ200の使用状態を調べ、命令ブリフェッチバッファ200に空きがあれば、既に命令ブリフェッチバッファ200に格納されている命令列に続く命令の読み出しを要求する命令読み出し要求信号306、および命令読み出し要求アドレス307を出力し、キャッシュ700に転送する。デコード時分岐成立信号414と条件分岐命令信号415とのいずれかが出力されている場合、分岐先アドレス418の命令の読み出しを要求する命令読み出し要求信号306、および命令読み出し要求アドレス307を出力し、キャッシュ700に転送する。

【0005】次のアドレス変換のステージでは、キャッシュ700は、命令読み出し要求信号306にもとづき、要求アドレスを物理アドレスに変換する処理を行なう。次のキャッシュアクセスのステージでは、キャッシュ700は、前のステージで変換された物理アドレスによって、キャッシュメモリをアクセスし、要求アドレスに格納されているデータを取り出し、キャッシュ読み出しデータ702が命令ブリフェッチバッファ200に格納される。

【0006】次の命令バッファ読み出しのステージでは、次の処理が実行される。命令ブリフェッチ制御部300からの制御信号302によって、命令ブリフェッチバッファ200から、次のマシンサイクルに解読する命令が読み出される。また、ALU500はデコード406から転送された命令解読結果408にもとづいて、各種の演算を実行する。ALU500は、条件分岐命令に対しては、分岐を起こすか否かの分岐判定を行ない、分岐成立と判定した場合には分岐成立信号502を分岐予測機構600に転送する。分岐予測機構600は、分岐成立予測信号602と分岐成立信号502とを比較し、一致していなければ、分岐予測に失敗したことを示す分岐予測失敗信号604を命令ブリフェッチ制御部300に転送する。命令ブリフェッチ制御部300は、分岐予測失敗信号604が出力されている場合、命令ブリフェッチバッファ200および命令ブリフェッチバッファ制御情報を分岐予測以前の状態に復帰する処理を行なう。なお、分岐先アドレス生成回路412、分岐予測機構600、キャッシュ700に関する詳細は、本発明の範囲外であるため、ここでは省略する。

【0007】図6は従来技術による命令ブリフェッチ機構の一実例を示すブロック図、図7、図8は従来技術の一実例における命令ブリフェッチ制御部を示す図、図9は従来技術の一実例における命令ブリフェッチポインタ制御を示す図であり、以下これらの図を参照して従来技術を説明する。

【0008】図6において、218Bはフェッチされた命令列を格納するバッファ番号0のバッファ、220Bはフェッチされた命令列を格納するバッファ番号1のバ

ッファ、226Bはバッファ番号0のバッファ218Bとバッファ番号1のバッファ220Bとのいずれかを選択するセレクタ、230Bはセレクタ226Bで選択されたバッファから目的の命令を取り出すためのセレクタである。また、図7、図8において、340Bはバッファ番号0のバッファ218Bとバッファ番号1のバッファ220Bのいずれが有効であるかを示すバッファ番号を格納するレジスタ、800Bは命令ブリフェッチバッファ200に格納されている命令列を示す各種ポインタ（後述）を制御するポインタ制御部、356Bは命令ブリフェッチバッファの空きを検出するバッファ空き判定回路、357Bは分岐命令による命令要求とバッファの空きによる命令要求とを調停する調停回路である。また、図9において、812B、814Bはそれぞれ、バッファ番号0のバッファ222B、バッファ番号1の224Bに格納されている命令列の先頭アドレスを示すバッファ出力ポインタを格納するレジスタであり、816B、818Bはそれぞれ、バッファ番号0のバッファ222B、バッファ番号1のバッファ224Bに格納されている命令列の最後尾アドレスを示すバッファ入力ポインタを格納するレジスタである。822Bはバッファ出力ポインタ812B、814Bのいずれかを選択するセレクタであり、824Bはバッファ入力ポインタ816B、818Bのいずれかを選択するセレクタである。各図において、同一の符号は同一あるいは対応する対象を表わす。図6において、バッファを複数持つ理由は、条件分岐命令の分岐判定に先行して、分岐不成立の場合の後続命令列と分岐成立の場合の後続命令列とを先取りし、命令ブリフェッチバッファに格納するためである。これによって、分岐判定が下った時に次に実行すべき命令を速やかに命令ブリフェッチバッファから取り出しが可能になる。

【0009】図6、図7、図8、図9を用いて、命令フェッチ処理をより詳細に説明する。まず、命令解読のステージでは、次の処理が実行される。命令ブリフェッチ制御部300Bでは、命令制御部400から条件分岐命令信号415とデコード時分岐成立信号416を、分岐予測機構600から分岐成立予測信号602と分岐予測失敗信号604とを受け取る。デコード時分岐成立信号416、分岐成立予測信号602、分岐予測失敗信号604のいずれかが出力されている場合には、次のマシンサイクルからは現在有効でないバッファから命令が読み出されるので、バッファ切り替え信号334Bによって、現在のバッファ番号を反転し、レジスタ340Bに格納する。また、デコード時分岐成立信号416、条件分岐命令信号415のいずれかが出力されている場合には、分岐成立の場合の後続命令を先取りして現在有効でないバッファに格納するために、現在有効でないバッファを初期化するためのバッファ初期化信号350Bがポインタ制御部800Bと要求調停回路357Bへ転送され

る。

【0010】また、条件分岐命令信号415、デコード時分岐成立信号416のいずれも出力されていない場合は、現在有効なバッファに格納されている命令列の先頭アドレスを示すバッファ出力ポインタ330Bおよび、現在有効なバッファに格納されている命令列の最後尾アドレスを示すバッファ入力ポインタ328Bが、バッファ空き判定回路356Bに転送され、比較される。本従来技術の一例では、一つのバッファの容量は32バイト、一回のキャッシュからのデータの読み出しサイズは8バイトであり、バッファの空きが8バイト以上である場合に、バッファ空き信号355Bが要求調停回路357Bへ転送される。要求調停回路357Bでは、バッファ初期化信号350Bを優先的に選択して、キャッシュ700へ命令プリフェッチのための命令読み出し要求信号306Bおよび命令読み出し要求アドレス307Bとを出力する。

【0011】ポインタ制御部800Bでは、命令読み出し要求信号306B、現在のバッファ番号326B、バッファ初期化信号350B、デコード終了信号413、命令長414、分岐先アドレス418が、ポインタ初期化・更新回路820Bに転送される。ポインタ初期化・更新回路820Bは、バッファ初期化信号350Bが出力されている場合に、現在有効でないバッファのバッファ出力ポインタ（図中では他OPT）と現在有効でないバッファのバッファ入力ポインタ（図中では他IPT）とに分岐先アドレスを初期値として格納する。また、ポインタ初期化・更新回路820Bは、デコード終了信号413が出力されるごとに現在有効なバッファのバッファ出力ポインタ（図中では自OPT）に命令長414を加算し、命令読み出し要求信号306B出力されるごとに現在有効なバッファのバッファ入力ポインタ（図中では自IPT）に一回のキャッシュからのデータの読み出しサイズ（本従来技術の一例では8バイト）を加算する。また、命令読み出し要求306Bがレジスタ370に格納され、命令読み出し要求306Bによって読み出されるデータを格納すべきバッファの番号326Bがレジスタ372Bに格納される。

【0012】次のアドレス変換のステージでは、キャッシュ700において、命令読み出し要求アドレス307Bが物理アドレスに変換される。次のキャッシュアクセスのステージでは、レジスタ370B、および372Bに格納された命令読み出し要求、およびバッファ番号から、バッファ書き込み信号318B、320Bが生成され、命令プリフェッチバッファ200Bへ転送される。命令プリフェッチバッファ200Bでは、キャッシュ700から転送されたキャッシュ読み出しデータ702を、バッファ書き込み信号318B、320Bの出力されているバッファへ格納する。

【0013】次の命令バッファ読み出しのステージで

は、以下の処理が行われる。命令プリフェッチバッファ200Bでは、命令プリフェッチ制御部300Bから現在のバッファ番号326Bが、セレクタ226Bに転送され、現在有効なバッファを選択し、セレクタ230Bに転送する。セレクタ230Bは、命令プリフェッチ制御部300Bから転送される現在有効なバッファのバッファ出力ポインタ330Bによって、セレクタ226Bの出力から目的の命令を取り出し、命令レジスタ402に転送する。これによって、命令プリフェッチバッファ200に空きが生じてから3マシンサイクル、あるいは分岐命令を解読してから3マシンサイクル後に、命令が命令プリフェッチバッファ200に格納される。本従来技術の一例では一つの命令プリフェッチバッファの容量は32バイトであり、命令長は最大6バイトであるので、分岐命令による以外の命令フェッチ時の処理の遅れを削減することができる。この種の命令プリフェッチ方法に関する技術として、例えば、特開昭54-95139、特開昭57-29154、特開昭60-175147、特開昭62-127943などが知られている。

【0014】

【発明が解決しようとする課題】前述した従来技術は、分岐命令が分岐成立または分岐成立予測であるという条件によって分岐先命令をフェッチするため、既に分岐先命令がプリフェッチされている場合でも再び分岐先命令をフェッチし、キャッシュアクセスによる実行の遅れを生じ、分岐命令の処理性能が低下するという問題点を有している。図10は、図5に示した命令プリフェッチ機構を有する情報処理装置の一例における命令処理のタイムチャートを示しており、理想的には、バイブラインの原理によって各命令はオーバーラップして処理され、毎マシンサイクルに一つの命令を扱うことが可能である。しかし、分岐命令が発生すると、この理想的なオーバーラップは可能ではなくなる。図12は、図6、図7、図8、図9に示した従来技術による命令プリフェッチ機構を備えた情報処理装置における分岐命令処理のタイムチャートを示している。図12に示すように、従来技術は、分岐先命令をキャッシュから取り出してくるまで分岐先命令を実行できないため、命令フェッチ時のキャッシュアクセスによる実行の遅れが生じ、分岐命令の処理

性能が低下する。本発明の目的は、前記従来技術の問題点を解決し、既に分岐先命令がプリフェッチされている場合には該既にプリフェッチされた命令を使用することによって、分岐命令の処理性能の高速化を図ることのできる命令プリフェッチ機構を有する情報処理装置を提供することにある。

【0015】

【課題を解決するための手段】上記目的を達成するため、本発明は、記憶装置から命令を先取りする命令先取り手段と、該命令先取り手段によって取り出された命令を解読する解読手段と、該解読手段によって解読された

7

命令をバイブルイン処理により実行する命令実行手段を備え、さらに、前記命令先取り手段は、先取りされた命令を格納する命令格納手段と、前記命令格納手段から取り出すべき命令の位置を指示する指示手段と、該指示手段によって前記命令格納手段から命令を取り出す命令取出手段を備える情報処理装置において、取り出された命令を前記解読手段で解読した結果が分岐命令である場合に前記分岐命令の分岐先命令が既に前記命令格納手段に格納されていることを判定する判定手段を前記命令先取り手段に設け、該判定手段が前記分岐命令の分岐先命令が既に前記命令格納手段に格納されていることを示すとき、前記指示手段は前記命令格納手段における分岐先命令位置を指示し、該指示に基づき前記命令取出手段が分岐先命令を取り出すよう構成している。また、記憶装置から命令を先取りする命令先取り手段と、該命令先取り手段によって取り出された命令を解読する解読手段と、該解読手段によって解読された命令をバイブルイン処理により実行する命令実行手段を備え、さらに、前記命令先取り手段は、先取りされた命令を格納する複数の命令格納手段と、該複数の命令格納手段のいずれが有効であるかを指示する第1の指示手段と、該第1の指示手段により指示された有効な命令格納手段の内容のうち取り出すべき命令の位置を指示する第2の指示手段と、前記第1の指示手段によって前記複数の命令格納手段のうち有効な1つを選択する第1の選択手段と前記第2の指示手段の指示により前記第1の選択手段により選択された命令格納手段の内容から取り出すべき命令を選択する第2の選択手段を有する命令取出手段とを備える情報処理装置において、取り出された命令を前記解読手段で解読した結果が分岐命令である場合に前記分岐命令の分岐先命令が既に前記命令格納手段に格納されていることを判定する判定手段と、前記有効な命令格納手段の内容を他の命令格納手段に複写する複写手段とを前記命令先取り手段に設け、該判定手段が前記分岐命令の分岐先命令が既に前記有効な命令格納手段に格納されていることを示すとき、前記複写手段によって前記有効な命令格納手段の内容を他の命令格納手段に複写し、前記第1の指示手段は前記他の命令格納手段が有効であることを指示し、前記第2の指示手段は分岐先命令位置を指示するよう構成し、前記命令取出手段によって分岐先命令を取り出すようにしている。

## 【0016】

【作用】本発明は、解読された命令が分岐命令の場合、分岐命令の分岐先命令が既にブリューフェッチされているか否かを判定し、判定結果が既にブリューフェッチされていることを示すときは、既にブリューフェッチされている命令を使用するようにしているので、分岐命令の処理性能を高速化することができる。

## 【0017】

【実施例】以下、本発明の一実施例を図面により詳細に

10 説明する。図1は本発明の一実施例の構成を示すブロック図、図2、図3は本発明の一実施例における命令ブリューフェッチ制御部を示す図、図4は本発明の一実施例における命令ブリューフェッチボインタ制御を示す図であり、以下これらの図を参照して本発明を説明する。図1において、210A、212Aはキャッシュ700から転送されたキャッシュ読み出しデータ702と他方のバッファから転送されたデータとを選択するセレクタ、218A、220Aはブリューフェッチされた命令列を格納するバッファ、226Aはバッファ218Aとバッファ220Aとのいずれかを選択するセレクタである。また、図2、図3において、800Aは命令ブリューフェッチバッファ200に格納されている命令列を示す各種ボインタを制御するボインタ制御部、352Aは分岐が短距離前方分岐であることを判定する短距離前方分岐判定回路、357Aは分岐命令による命令要求とバッファの空きによる命令要求とを調停する調停回路、380Aはアドレスを比較するアドレス比較回路である。各図において、同一の符号は同一あるいは対応する対象を表わす。また、20 各図において、図5、図6、図7、図8、図9と同じ機能を有するものは、末尾文字をBからAに変更した符号で表わす。

【0018】図1、図2、図3、図4に示す本発明の一実施例において、無条件分岐命令は次のように実行される。まず、命令解読のステージが実行される。命令制御部400(図5参照)は、無条件分岐命令を解読すると、無条件に分岐することを示すデコード時分岐成立信号416と分岐先アドレス418を出力し、条件分岐命令であることを示す条件分岐命令信号415は出力されない。また、分岐予測機構600は無条件分岐命令に対しては分岐予測を行わないため、分岐成立予測信号602は出力されない。また、分岐予測失敗信号604は過去に予測した条件分岐命令の分岐予測が失敗であったと判明した場合に出力される信号であり、失敗した分岐予測以前の状態に復旧するために使用される。

【0019】以下では、分岐予測失敗信号604が出力されていない場合を考える。命令ブリューフェッチ制御部300Aは、命令制御部400から、デコード時分岐成立信号416と分岐先アドレス418を受ける。分岐先アドレス418は、短距離前方分岐判定回路352Aに転送され、現在有効なバッファに格納されている命令列の先頭を示すバッファ出力ボインタ330Aおよび、現在有効なバッファに格納されている命令列の最後尾を示すバッファ入力ボインタ328Aと比較され、分岐先アドレス418がバッファ出力ボインタ330Aとバッファ入力ボインタ328Aとの間にあれば、分岐先命令は既にキャッシュに対して読み出し要求されているので、すなわち、分岐先命令は既にバッファに格納されているか、またはキャッシュに対して読み出し要求中であると40 判定されるので、短距離前方分岐信号354Aを出力す

る。無条件分岐命令に対して短距離前方分岐信号354Aが出力されると、332A、342A、344A、348Aから成る回路によって、バッファ切り替え信号334Aとバッファ初期化信号350Aは抑止され、また、回路343Aによって分岐先命令読み出し要求信号345Aは抑止される。

【0020】レジスタ340Aは現在有効なバッファの番号('0'又は'1')を格納しており、バッファ切り替え信号334Aが出力されると、バッファ番号反転回路336Aによって反転('0'→'1'又は'1'→'0')される。無条件分岐命令に対して短距離前方分岐信号354Aが出力されると、バッファ切り替え信号334Aが抑止されるため、現在有効なバッファの番号326Aは変わらない。

【0021】要求調停回路357Aは、分岐先命令読み出し要求信号345Aと、バッファ空き判定回路356Aによって現在有効なバッファに8バイト以上の空きがあることが検出された場合に出力される後続命令列の読み出し要求355Aが、同時に出力された場合に、分岐先命令読み出し要求信号345Aを優先的に選択し、命令読み出し要求信号306Aと命令読み出し要求アドレス307Aを出力する回路である。以下では、後続命令列の読み出し要求355Aが出力されていない場合を考える。無条件分岐命令に対して短距離前方分岐信号354Aが出力されると、分岐先命令読み出し要求信号345Aが抑止されるため、命令読み出し要求信号306Aと命令読み出し要求アドレス307Aは出力されない。

【0022】一方、ポインタ制御部800Aは以下のように動作する。図4において、812A、814Aはそれぞれ、バッファ#0、#1の出力ポインタを格納するレジスタであり、816A、818Aはそれぞれ、バッファ#0、#1の入力ポインタを格納するレジスタである。また、ポインタ初期化・更新回路820A中の自IPT、自OPTはそれぞれ、現在有効なバッファの入力ポインタ、出力ポインタを示しており、他IPT、他OPTはそれぞれ、現在有効なバッファの入力ポインタ、出力ポインタを示している。無条件分岐命令に対して短距離前方分岐信号354Aが出力されると、バッファ初期化信号350Aは抑止されるため、分岐先アドレス418が現在有効なバッファの出力ポインタ(自OPT)に設定される。また、セレクタ822A、824Aによって、現在有効なバッファの出力ポインタが330Aに、現在有効なバッファの入力ポインタが328Aに出力される。次のサイクルでは、バッファが切り替わらず、現在有効なバッファの出力ポインタが分岐先アドレスを指している。セレクタ226Aは現在有効なバッファ番号326Aによって、現在有効なバッファのデータを選択し、セレクタ230Aは現在有効なバッファの出力ポインタ330Aによって、セレクタ226Aの出力データ228Aから、分岐先命令を選択し、命令レジス

タ402に転送する。このため、分岐先命令が当該無条件分岐命令の解読以前にキャッシュ700へプリフェッチ要求されており、既にバッファに格納されている場合は分岐先命令が命令レジスタ402へ格納される。分岐先命令が当該無条件分岐命令の解読以前にキャッシュ700へプリフェッチ要求されているが、未だバッファに格納されていない場合は、分岐先命令がバッファに格納されるのを待って分岐先命令が命令レジスタ402へ格納される。いずれの場合も、当該無条件分岐命令の解読後新たに分岐先命令をキャッシュ700へフェッチ要求することに比べて、高速に分岐先命令を命令レジスタ402に格納することができる。以上の動作によって、無条件分岐命令が短距離前方分岐である場合には、分岐先命令をキャッシュ700に要求せず、既にプリフェッチされている命令を使用することが可能になる。

【0023】また、図1、図2、図3、図4に示す本発明の一実施例において、条件分岐命令は次のように実行される。まず、命令解読のステージが実行される。命令制御部400は、条件分岐命令を解読すると、条件分岐命令であることを示す条件分岐命令信号415と分岐先アドレス418を出力し、無条件に分岐することを示すデコード時分岐成立信号416は出力されない。また、分岐予測機構600は条件分岐命令に対しては分岐予測を行う。以下では、分岐成立予測の場合を考える。この時、分岐成立予測信号602が出力される。また、分岐予測失敗信号604は過去に予測した条件分岐命令の分岐予測が失敗であったと判明した場合に出力される信号であり、失敗した分岐予測以前の状態に復旧するために使用される。以下では、分岐予測失敗信号604が出力されていない場合を考える。命令プリフェッチ制御部300Aは、命令制御部400から、条件分岐命令信号415と分岐先アドレス418を受け取り、分岐予測機構600から、分岐成立予測信号602を受ける。条件分岐命令信号415は、回路348Aに転送され、バッファ初期化信号350Aが出力され、分岐成立予測信号602は、回路332Aに転送され、バッファ切り替え信号334Aが出力される。この信号334により次のマシンサイクルでレジスタ340Aは現在のバッファ番号を反転し、次のマシンサイクルからは現在有効でないバッファが有効なバッファに切り替わる。現マシンサイクルでは現在有効なバッファはそのまま有効である。分岐先アドレス418は、短距離前方分岐判定回路352Aに転送され、現在有効なバッファに格納されている命令列の先頭を示すバッファ出力ポインタ330Aおよび、現在有効なバッファに格納されている命令列の最後尾を示すバッファ入力ポインタ328Aと比較され、分岐先アドレス418がバッファ出力ポインタ330Aとバッファ入力ポインタ328Aとの間にあれば、分岐先命令は既にキャッシュに対して読み出し要求されているので、すなわち、分岐先命令は既にバッファに格納されて

いるか、またはキャッシュに対して読み出し要求中であると判定されるので、短距離前方分岐信号354Aを出力する。条件分岐命令に対して、短距離前方分岐信号354Aが出力されると、回路343Aによって分岐先命令読み出し要求信号345Aは抑止される。

【0024】要求調停回路357Aは、分岐先命令読み出し要求信号345Aと、バッファ空き判定回路356Aによって現在有効なバッファに8バイト以上の空きがあることが検出された場合に出力される後続命令列の読み出し要求355Aが、同時に出力された場合に、分岐先命令読み出し要求信号345Aを優先的に選択し、命令読み出し要求信号306Aと命令読み出し要求アドレス307Aを出力する回路である。以下では、後続命令列の読み出し要求355Aが出力されていない場合を考える。条件分岐命令に対して短距離前方分岐信号354Aが出力されると、分岐先命令読み出し要求信号345Aが抑止されるため、命令読み出し要求信号306Aと命令読み出し要求アドレス307Aは出力されない。レジスタ340Aは現在有効なバッファの番号('0'又は'1')を格納しており、バッファ切り替え信号334Aが出力されると、次のサイクルでバッファ番号反転回路336Aによって反転('0'→'1'又は'1'→'0')される。358A～366Aからなる回路は、バッファ入力セレクト信号310A、312Aを生成する回路である。以下では、現在有効なバッファがバッファ#0である場合を考える。この時、326Aは現在有効なバッファ番号'0'を示している。短距離前方分岐信号354Aとバッファ初期化信号350Aが出力されると、現在有効なバッファ(#0)のバッファ入力セレクト信号310Aは出力されず、現在有効でないバッファ(#1)のバッファ入力セレクト信号312Aが出力される。これによって、セレクタ210Aは、バッファ#0の入力としてキャッシュ700からの読み出しデータ702を選択し、セレクタ212Aは、バッファ#1の入力としてバッファ#0に格納されているデータ222Aを選択する。また、バッファ入力セレクト信号310A、312Aは、それぞれ、回路390A、392Aに転送され、バッファ書き込み信号318A、320Aを生成する。現在有効でないバッファ(#1)のバッファ入力セレクト信号312Aが出力されている場合は、バッファ#1のバッファ書き込み信号320Aが出力され、セレクタ212Aで選択されたデータ216をバッファ#1(220A)に格納する。これにより、現在有効なバッファ(#0)の内容は現在有効でないバッファ(#1)へ複写される。これによって、現在有効でないバッファ(#1)に、現在有効なバッファ(#0)の内容が初期値として格納される。

【0025】一方、ポインタ制御部800Aでは以下のように動作する。条件分岐命令に対して短距離前方分岐信号354Aが出力されると、バッファ初期化信号35

0Aが出力されるため、ポインタ初期化・更新回路820Aによって、分岐先アドレス418が現在有効でないバッファの出力ポインタ(他OPT)に設定され、現在有効なバッファの入力ポインタ(自IPT)が現在有効でないバッファの入力ポインタ(他IPT)に設定される。また、セレクタ822A、824Aによって、現在有効なバッファの出力ポインタが330Aに、現在有効なバッファの入力ポインタが328Aに出力される。また、370A～392Aからなる回路では、データ702を書き込むべきバッファを示すバッファ書き込み信号318A、320Aを生成する。レジスタ370A、372A、374Aは、それぞれ、キャッシュ700の読み出しデータ702に対応する命令読み出し要求、バッファ番号、命令読み出し要求アドレスを保持している。レジスタ376Aは、条件分岐命令に対して短距離前方分岐信号354Aが出力された時には、この時点において有効なバッファの入力ポインタ328Aが格納され、それ以外の分岐命令に対しては'0'が格納され、以後、保持される。レジスタ374Aの内容とレジスタ376Aの内容はアドレス比較回路380Aで比較される。レジスタ374Aの内容の方が大きい場合には、レジスタ372Aで示されるバッファに対応するバッファ書き込み信号が生成される。逆に、レジスタ374Aの内容の方が小さい場合には、キャッシュ700の読み出しデータ702は、短距離前方分岐信号354Aが出力された時点ではキャッシュ700で処理中であった命令読み出し要求に対応するものであるので、両方のバッファに対してバッファ書き込み信号318Aと320Aとを出力する。これによって、分岐先命令が、短距離前方分岐信号354Aが出力された時点ではキャッシュ700へブリフェッチ要求されているが、未だバッファには格納されていない場合も、キャッシュに命令読み出し要求を出すことなく、キャッシュに命令読み出し要求を出すよりも早く、命令ブリフェッチバッファから分岐先命令を読み出すことができる。

【0026】次のサイクルでは、バッファが切り替わり、現在有効なバッファの出力ポインタが分岐先アドレスを指している。このため、分岐先命令が当該条件分岐命令の解読以前にキャッシュ700へブリフェッチ要求されており、既にバッファに格納されている場合は分岐先命令が命令レジスタ402へ格納される。分岐先命令が当該条件分岐命令の解読以前にキャッシュ700へブリフェッチ要求されているが、未だバッファに格納されていない場合は、分岐先命令がバッファに格納されるのを待って分岐先命令が命令レジスタ402へ格納される。いずれの場合も、当該条件分岐命令の解読後新たに分岐先命令をキャッシュ700へフェッチ要求することに比べて、高速に分岐先命令を命令レジスタ402に格納することができる。以上の動作によって、無条件分岐命令が短距離前方分岐である場合には、分岐先命令をキ

ヤッシュ700に要求せず、既にブリフェッチされている命令を使用することが可能になる。

【0027】図11は、図1、図2、図3、図4に示した本発明の一実施例による命令ブリフェッチ機構を備えた情報処理装置における分岐命令処理のタイムチャートを示している。図11に示すように、本発明は、既に分岐先命令がブリフェッチ要求されている場合には、分岐先命令をキャッシュに要求せず、ブリフェッチ要求されたデータを使用するため、分岐命令の処理性能が向上する。

【0028】なお、前述した本発明の一実施例は、特に説明を簡単にするために選ばれたもので、他の多くの構成を取れることはいうまでもない。先取りした命令を格納するバッファが2個であることや、バッファの容量が32バイトであることや、1回の命令読み出し要求でキャッシュから読み出されるデータのサイズが8バイトであることは、本発明の適用を制限するものではない。また、構成によっては、無条件分岐命令に対しても、バッファの内容を複写する方式をとってもよい。

【0029】

【発明の効果】以上説明したように本発明によれば、既に分岐先命令がブリフェッチされている場合にはブリフェッチされている命令を使用することができ、分岐先命令を改めてフェッチする必要がないため、高速な分岐命令処理速度を得ることができる。また、これによりシステムの性能を向上することができる。

【図面の簡単な説明】

【図1】 本発明の一実施例の構成を示す図である。

【図2】 本発明の一実施例における命令ブリフェッチ制御部の部分を示す図である。

30

【図3】 本発明の一実施例における命令ブリフェッチ制御部の残りの部分を示す図である。

【図4】 本発明の一実施例における命令ブリフェッチポイント制御を示す図である。

【図5】 命令ブリフェッチ機構を有する情報処理装置の一例を示す図である。

【図6】 従来技術の一例を示す図である。

【図7】 従来技術の一例における命令ブリフェッチ制御部の部分を示す図である。

40

【図8】 従来技術の一例における命令ブリフェッチ制御部の残りの部分を示す図である。

【図9】 従来技術の一例における命令ブリフェッチポイント制御を示す図である。

45

【図10】 命令ブリフェッチ機構を有する情報処理装置における命令処理タイムチャートを示す図である。

【図11】 本発明の一実施例における分岐命令処理タイムチャートを示す図である。

50

【図12】 従来技術の一例における分岐命令処理タイムチャートを示す図である。

【符号の説明】

100 命令ブリフェッチ機構  
 200, 200A, 200B 命令ブリフェッチバッファ  
 210A, 212A セレクタ  
 218A, 220A, 218B, 220B バッファ  
 226A, 230A, 226B, 230B セレクタ  
 300, 300A, 300B 命令ブリフェッチ機構  
 302, 302A, 302B 命令ブリフェッチ制御信号  
 10 304, 304A, 304B 命令アドレス  
 306, 306A, 306B 命令読み出し要求信号 (REQ)  
 307, 307A, 307B 命令読み出し要求アドレス (ADR)  
 310A, 312A バッファ入力セレクト信号  
 318A, 320A, 318B, 320B バッファ書き込み信号  
 326A, 326B 現在有効なバッファ番号  
 328A, 328B バッファ入力ポインタ  
 330A, 330B バッファ出力ポインタ  
 334A, 334B バッファ切り替え信号  
 336A, 336B バッファ番号反転回路  
 350A, 350B バッファ初期化信号 (NEW)  
 352A 短距離前方分岐判定回路  
 354A 短距離前方分岐信号 (SB)  
 356A, 356B バッファ空き判定回路  
 357A, 357B 要求調停回路  
 380A アドレス比較回路  
 340A, 370A~376A, 340B, 370B~372B レジスタ  
 332A, 348A, 382A, 384A, 390A, 392A, 332B, 348B 論理和回路  
 343A, 344A, 358A, 364A, 366A, 386A, 388A, 386B, 388B 論理積回路  
 342A, 362A, 378A, 378B 否定回路  
 400 命令制御部  
 402 命令レジスタ (IR)  
 406 デコーダ  
 408 ALUセットアップ信号  
 412 分岐先アドレス生成回路  
 413 デコード終了信号 (END)  
 414 命令長 (IL)  
 415 条件分岐命令信号 (CB)  
 416 デコード時分岐成立信号 (DTKN)  
 418 分岐先アドレス (TA)  
 500 算術論理演算回路 (ALU)  
 502 分岐成立信号 (TKN)  
 600 分岐予測機構  
 602 分岐成立予測信号 (PTKN)  
 604 分岐予測失敗信号 (FAIL)

700 キャッシュ

\* 812A～818A, 812B～818B レジスタ

702 キャッシュ読み出しデータ

820A, 820B ポインタ初期化・更新回路

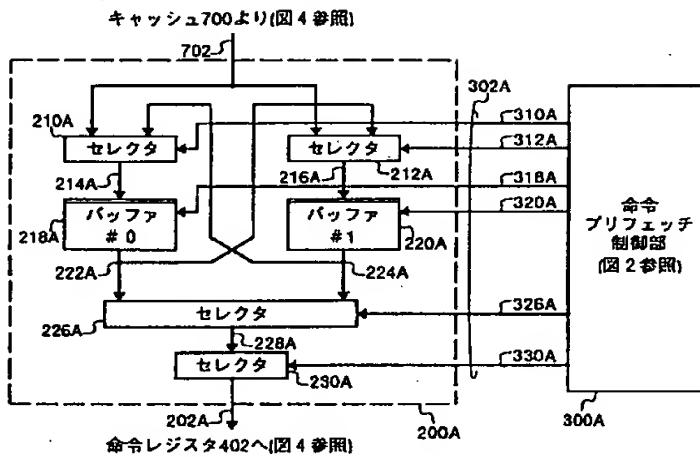
800, 800A, 800B 命令ブリフェッチ・ポイ  
ンタ制御部

822A, 824A, 822B, 824B セレクタ

\*

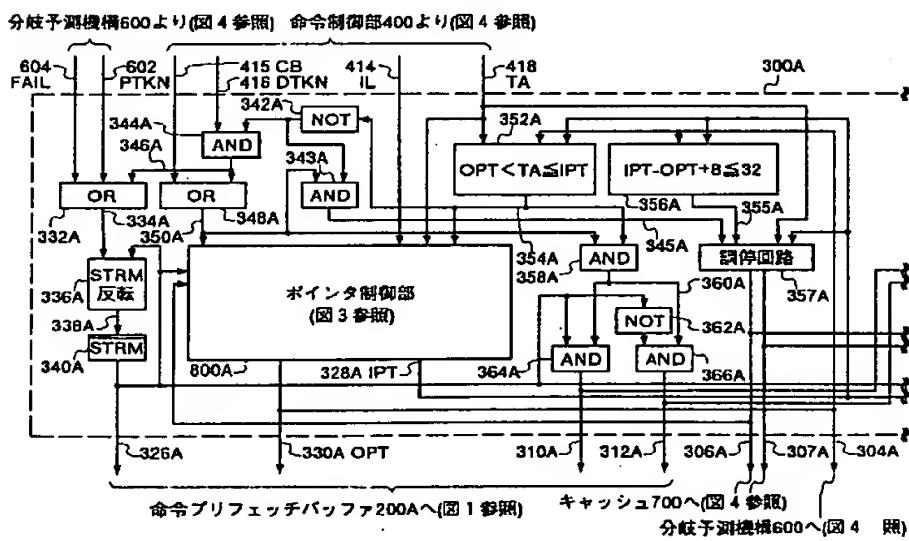
【図1】

【図 1】



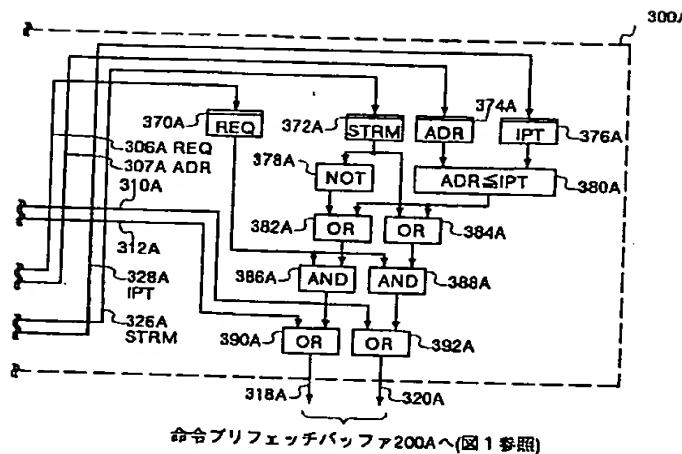
【図2】

【図 2】



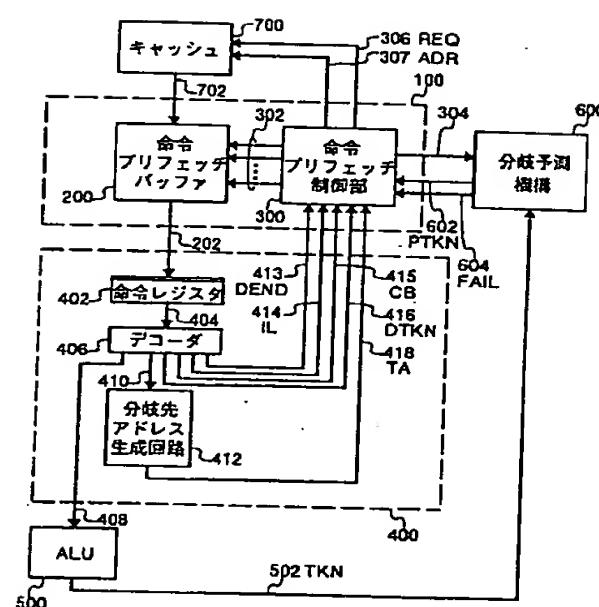
【図3】

【図3】



【図5】

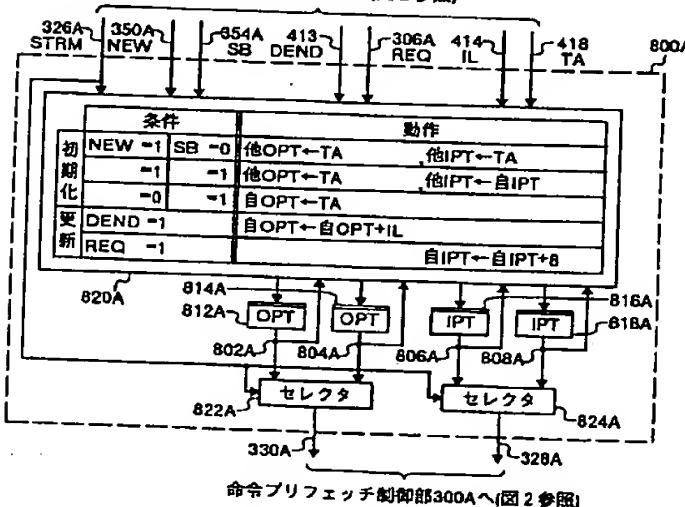
【図5】



【図4】

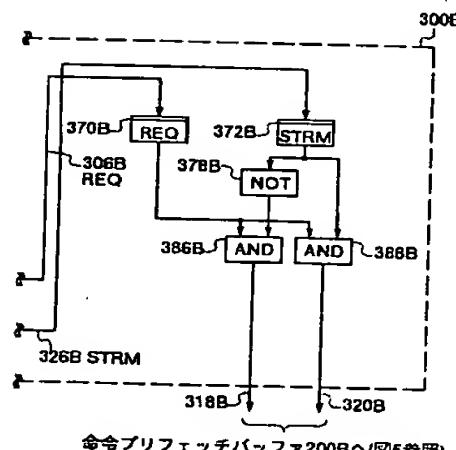
【図4】

命令プリフェッチ制御部300Aより(図2参照)



【図8】

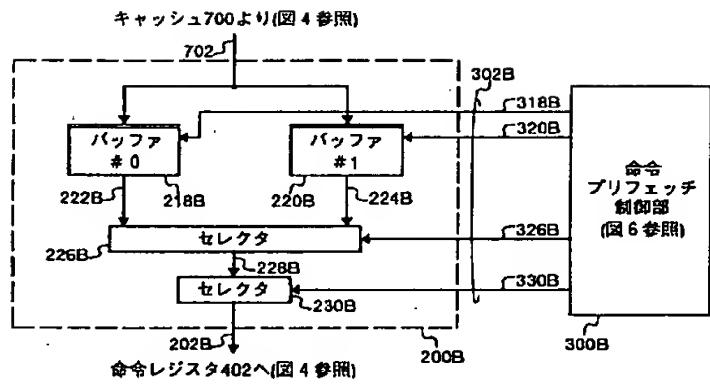
【図8】



命令プリフェッチバッファ200Bへ(図5参照)

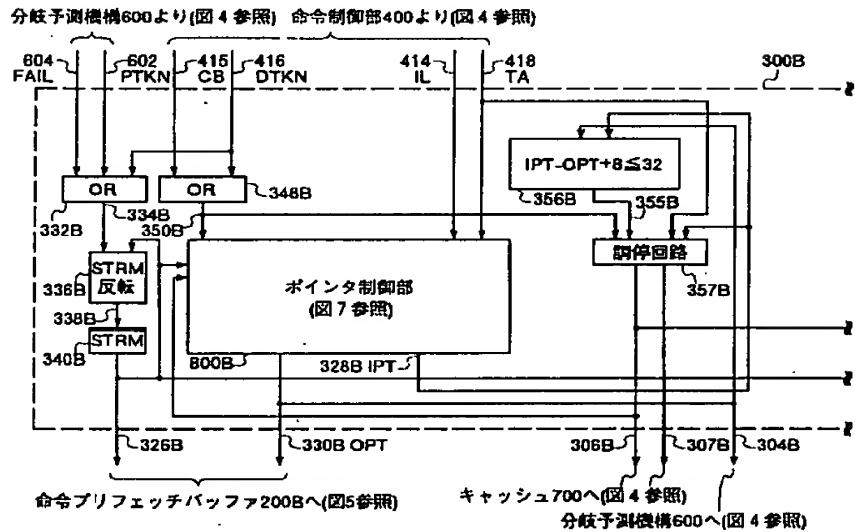
【図6】

【図 6】



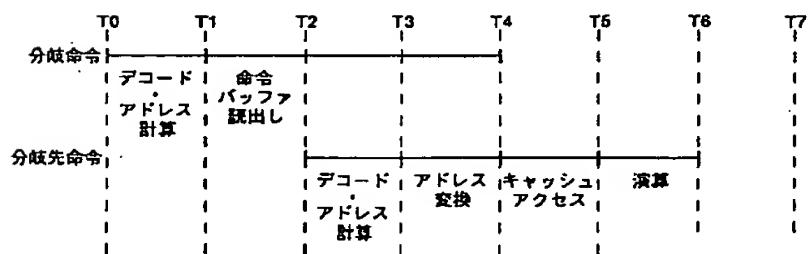
【図7】

【図 7】

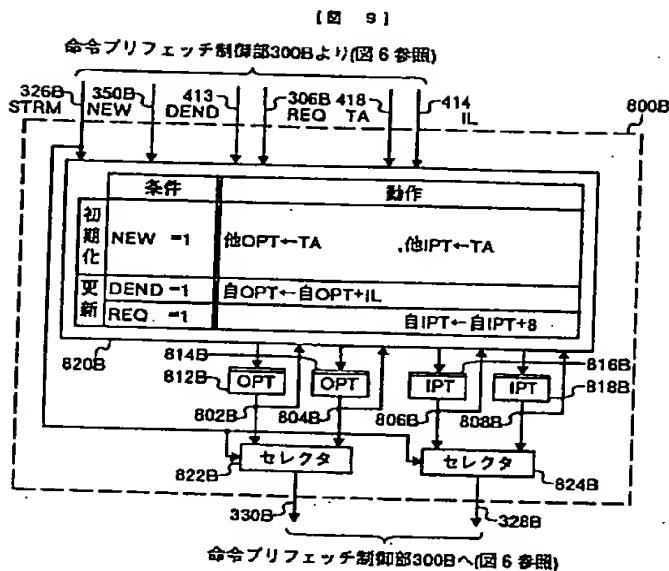


【図11】

【図 11】

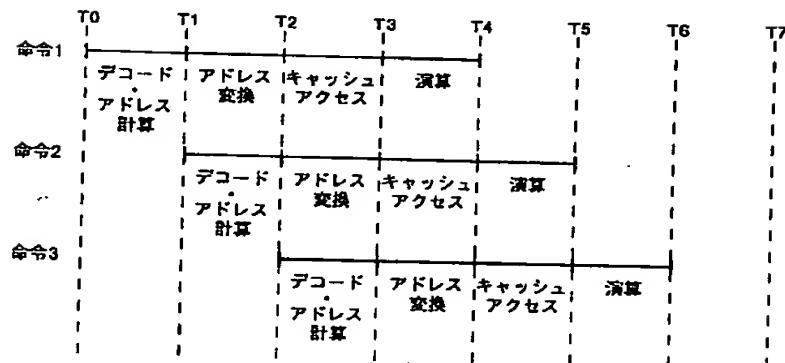


【図9】



【図10】

【図 10】



【図12】

【図 12】

